

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ

«Национальный исследовательский ядерный университет «МИФИ»

Саровский физико-технический институт -

филиал федерального государственного автономного образовательного учреждения высшего
образования «Национальный исследовательский ядерный университет «МИФИ»
(СарФТИ НИЯУ МИФИ)

ФАКУЛЬТЕТ ИНФОРМАЦИОННЫХ ТЕХНОЛОГИЙ И ЭЛЕКТРОНИКИ

Кафедра «Вычислительной и информационной техники»

УТВЕРЖДАЮ

Декан ФИТЭ, к.ф.-м.н., доцент

_____ **В.С. Холушкин**

« ____ » _____ **2023 г.**

**ФОНД ОЦЕНОЧНЫХ СРЕДСТВ ТЕКУЩЕГО И ПРОМЕЖУТОЧНОГО КОНТРОЛЯ
ДЛЯ УЧЕБНОЙ ДИСЦИПЛИНЫ**

Электротехника, электроника и схемотехника. Электроника и схемотехника
наименование дисциплины

Направление подготовки (специальность)	<u>09.03.01 Информатика и вычислительная техника</u>
Наименование образовательной программы	<u>Программное и аппаратное обеспечение высокопроизводительных вычислительных систем и сетей</u>
Квалификация (степень) выпускника	<u>бакалавр</u>
Форма обучения	<u>очная</u>

Программа одобрена на заседании кафедры	Зав. кафедрой ВИТ к.ф.-м.н., доцент
_____ протокол № _____ от _____ 2023 г.	_____ В.С. Холушкин « ____ » _____ 2023 г.

г. Саров, 2023 г.

Программа ФОС переутверждена на 202____/202____учебный год с изменениями в соответствии с семестровыми учебными планами академических групп ФТФ, ФИТЭ на 202____/202____ учебный год.

Заведующий кафедрой ВИТ, к.ф-м.н., доцент

В.С. Холушкин

Программа ФОС переутверждена на 202____/202____учебный год с изменениями в соответствии с семестровыми учебными планами академических групп ФТФ, ФИТЭ на 202____/202____ учебный год.

Заведующий кафедрой ВИТ, к.ф-м.н., доцент

В.С. Холушкин

Программа ФОС переутверждена на 202____/202____учебный год с изменениями в соответствии с семестровыми учебными планами академических групп ФТФ, ФИТЭ на 202____/202____ учебный год.

Заведующий кафедрой ВИТ, к.ф-м.н., доцент

В.С. Холушкин

Программа ФОС переутверждена на 202____/202____учебный год с изменениями в соответствии с семестровыми учебными планами академических групп ФТФ, ФИТЭ на 202____/202____ учебный год.

Заведующий кафедрой ВИТ, к.ф-м.н., доцент

В.С. Холушкин

1. ПАСПОРТ ФОНДА ОЦЕНОЧНЫХ СРЕДСТВ

1.1. Область применения

Фонд оценочных средств (ФОС) – является неотъемлемой частью учебно-методического комплекса учебной дисциплины «Электротехника, электроника и схемотехника. Электроника и схемотехника» и предназначен для контроля и оценки образовательных достижений обучающихся, освоивших программу данной дисциплины.

1.2. Цели и задачи фонда оценочных средств

Целью Фонда оценочных средств является установление соответствия уровня подготовки обучающихся требованиям ОС НИЯУ МИФИ.

Для достижения поставленной цели Фондом оценочных средств по дисциплине «Электротехника, электроника и схемотехника. Электроника и схемотехника» решаются следующие задачи:

- ✓ контроль и управление процессом приобретения обучающимися знаний, умений и навыков, предусмотренных в рамках данного курса;
- ✓ контроль и оценка степени освоения общекультурных, общепрофессиональных и профессиональных компетенций, предусмотренных в рамках данного курса;
- ✓ обеспечение соответствия результатов обучения задачам будущей профессиональной деятельности через совершенствование традиционных и внедрение инновационных методов обучения в образовательный процесс в рамках данного курса.

1.3. Контролируемые компетенции и планируемые результаты обучения

ОС НИЯУ МИФИ по направлению подготовки 09.03.01 «Информатика и вычислительная техника» и рабочая программа дисциплины «Электротехника, электроника и схемотехника. Электроника и схемотехника» бакалаврской программы в рамках профиля «Программное и аппаратное обеспечение высокопроизводительных вычислительных систем и сетей» предусмотрено формирование следующих универсальных, общепрофессиональных и профессиональных компетенций:

Общепрофессиональные компетенции (ОПК)

Код и наименование компетенции	Код и наименование индикатора достижения компетенции
ОПК-1 Способен применять естественнонаучные и общетехнические знания, методы математического анализа и моделирования, теоретического и экспериментального исследования в профессиональной деятельности	З-ОПК-1 Знать: основы математики, физики, вычислительной техники и программирования У-ОПК-1 Уметь: решать стандартные профессиональные задачи с применением естественнонаучных и общетехнических знаний, методов математического анализа и моделирования В-ОПК-1 Владеть: навыками теоретического и экспериментального исследования объектов профессиональной деятельности
ОПК-7 Способен участвовать в настройке и наладке программно-аппаратных комплексов	З-ОПК-7 Знать: методы настройки, наладки программно-аппаратных комплексов У-ОПК-7 Уметь: анализировать техническую документацию, производить настройку, наладку и тестирование программно-аппаратных комплексов В-ОПК-7 Владеть: навыками проверки работоспособности программно-аппаратных комплексов

1.4. Промежуточная аттестация по дисциплине

Формой промежуточной аттестации по дисциплине «Электротехника, электроника и схемотехника. Электроника и схемотехника» является:

- ✓ 5 семестр – зачет;
- ✓ 6 семестр – экзамен.

1.5. Перечень оценочных средств, используемых для текущей аттестации

Код	Наименование оценочного средства	Краткая характеристика оценочного средства	Представление оценочного средства в фонде
УО	Устный опрос	Средство контроля, организованное как специальная беседа преподавателя с обучающимся на темы, связанные с изучаемой дисциплиной, и рассчитанное на выяснение объема знаний обучающегося по определенному разделу, теме, проблеме и т.п.	Перечень вопросов по тематике изучаемого материала
КР	Контрольная работа	Средство проверки умений применять полученные знания для решения задач определенного типа по теме или разделу	Комплект контрольных заданий
РГР	Расчетно-графическая работа	Средство проверки умений применять полученные знания по заранее определенной методике для решения задач или заданий по модулю или дисциплине в целом	Комплект заданий для выполнения расчетно-графической работы
Зачет	Зачет	Средство проверки умений применять полученные знания по заранее определенной методике для решения задач или заданий по дисциплине в целом	Комплект вопросов к зачету
Экзамен	Экзамен	Средство проверки умений применять полученные знания по заранее определенной методике для решения задач или заданий по дисциплине в целом	Комплект вопросов и билетов к экзамену

1.6. Этапы формирования компетенций

Раздел	Темы занятий	Компетенция	Индикаторы освоения	Текущий контроль, неделя
Семестр 5				
Раздел 1	Тема 1. Вводная лекция. Цели и задачи курса	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 1
	Тема 2. Качественные различия материалов с точки зрения электропроводности. Три группы материалов		3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 1
Раздел 2	Тема 1. Вольтамперная характеристика диода. Ток насыщения	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 2
	Тема 2. Ток утечки. Вид обратных ветвей в/а характеристик реальных диодов		3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 2
Раздел 3	Тема 1. Транзисторы. Основные процессы в транзисторах	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 3

	Тема 2. Сопротивление эмиттерного перехода. Сопротивление коллекторного перехода		3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 3
Раздел 4	Тема 1. Принцип работы полевого транзистора с р-п переходом	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 4
	Тема 2. МОП - транзисторы		3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 4
Раздел 5	Тема 1. Общая характеристика и принципы построения импульсных устройств	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 5
	Тема 2..Классификация цифровых устройств		3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 6
Раздел 6	Тема 1. КМОП - транзисторная логика. БЛЭ КМОП – логики	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 7
	Тема 2. Особенности применения ТТЛ и КМОП ИС		3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	КР 8
Рубежный контроль		ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	РГР 8
Раздел 7	Тема 1. Способы цифрового представления информации	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 9
	Тема 2. Нарастивание разрядности дешифраторов		3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 9
Раздел 8	Тема 1. Шифраторы и дешифраторы	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 10
	Тема 2.Мультиплексоры.		3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 10
Раздел 9	Тема 1. Применение мультиплексоров для реализации логических функций	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 11
	Тема 2. Схемы сравнения	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 11
Раздел 10	Тема 1. Структура и классификация триггеров, таблицы состояний и словари переходов ДБЯ и КБЯ	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 12
	Тема 2. Методика проектирования MS-триггера	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 13
Раздел 11	Тема 1. Методика проектирования синхронных и асинхронных счетчиков.	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 14
	Тема 2. Кольцевые счетчики	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 15

	Тема 3. Методика проектирования безвентильных счетчиков.	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	КР 16
Рубежный контроль		ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	РГР 16
Промежуточная аттестация		ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	Зачет
Семестр 6				
Раздел 12	Тема 1. Основные типы средств МПТ	ОПК-1	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 1
	Тема 2. . RISC и CISC – ядра	ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 2
Раздел 13	Тема 1. Понятие адресного пространства	ОПК-1	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 3
	Тема 2. Гарвардская и фон-неймановская архитектуры	ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 4
Раздел 14	Тема 1. Понятие расширенного адресного пространства и способы доступа к нему	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 5
	Тема 2. Метод оконного доступа		3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 6
Раздел 15	Тема 1. Структурная схема МПУ. Ее основные элементы	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 7
	Тема 2. Основные требования к устройству	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	КР 8
Рубежный контроль		ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	РГР 8
Раздел 16	Тема 1. Схемотехника защитного устройства и сетевого фильтра	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 9
	Тема 2. Сравнение пользовательских свойств трансформаторного блока питания и импульсного блока питания	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 10
Раздел 17	Тема 1. Общее в структуре различных видов памяти	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 11
	Тема 2. Микросхемы УФППЗУ и ЭППЗУ	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 12
Раздел 18	Тема 1. Автомат Мура – как пересчетное устройство	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 13
	Тема 2. Методы синтеза простейшего автомата.	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 14
Раздел 19	Тема 1. Основные понятия и определения шин МПУ	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	УО 15
	Тема 2. Логическая организация шины МПУ – асинхронные шины	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	КР 16
Рубежный контроль		ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	РГР 16

Промежуточная аттестация	ОПК-1 ОПК-7	3-ОПК-1; У-ОПК-1; В-ОПК-1 3-ОПК-7; У-ОПК-7; В-ОПК-7	Экзамен
---------------------------------	------------------------	--	----------------

2. ПРИМЕРНЫЕ КОНТРОЛЬНЫЕ ЗАДАНИЯ ИЛИ ИНЫЕ МАТЕРИАЛЫ, НЕОБХОДИМЫЕ ДЛЯ ОЦЕНКИ ЗНАНИЙ, УМЕНИЙ, НАВЫКОВ (ИЛИ) ОПЫТА ДЕЯТЕЛЬНОСТИ, ХАРАКТЕРИЗУЮЩИЕ ЭТАПЫ ФОРМИРОВАНИЯ КОМПЕТЕНЦИЙ В ПРОЦЕССЕ ОСВОЕНИЯ ОБРАЗОВАТЕЛЬНОЙ ПРОГРАММЫ

2.1. Оценочные средства для текущего контроля

2.1.1. Примерные вопросы для устного опроса (УО)

1. Дайте классификацию логических элементов
2. Поясните принципы работы DTL-элемента.
3. Опишите таблицу истинности для элемента "исключающее ИЛИ".
4. Назовите недостатки DTL-элемента?
5. Поясните принцип работы TTL-элементов.
6. Опишите таблицу истинности для элемента ЗИЛИ-НЕ.
7. Какие недостатки характерны для TTL-элементов?
8. В чем принципиальное отличие элементов TTL и TTL-Шотки?
9. Поясните принцип работы КМОП-элементов.
10. От чего зависит потребляемая мощность КМОП-элемента?
11. Какие недостатки КМОП-элементов Вы знаете?
12. Дайте классификацию комбинационных схем.
13. Перечислите и опишите принципы построения дешифраторов, как на функциональном уровне, так и на уровне логических элементов.
14. От чего зависят сложность и быстродействие дешифратора?
15. Перечислите и опишите принципы построения мультиплексоров на функциональном уровне.
16. От чего зависят функциональные возможности мультиплексоров?
17. Объясните принцип работы сумматора.
18. Как осуществляется синтез и анализ комбинационных схем?
19. Поясните, что такое состязания, как их можно выявить и устранить.
20. Что представляет собой сумматор с ускоренным переносом?
21. Приведите схему Т-триггера на элементах И-НЕ и поясните ее работу.
22. Дайте классификацию счетчиков по различным признакам.
23. Объясните отличительные особенности функционирования синхронных триггеров и

причины их распространения в практике построения устройств.

24. Каковы отличительные особенности реализации двухступенчатых синхронных триггеров, их преимущества перед одноктактными?
25. Дайте характеристику синхронных и асинхронных счетчиков.
26. Поясните работу суммирующего, вычитающего и реверсивного счетчиков.
27. Как реализуется счетчик с заданным циклом пересчета?
28. Реализуйте трехразрядный счетчик на D-триггерах.
29. Дайте классификацию регистров.
30. Какие преобразования кодов могут осуществляться в регистрах?
31. Поясните сущность микрооперации сдвига.
32. Какие микрооперации можно реализовать с помощью регистров?
33. Каким образом определяется быстродействие регистра?
34. Каковы преимущества использования в регистрах универсальных триггеров?
35. Чем отличаются регистры, построенные на JK-триггерах от регистров на D-триггерах?
36. Опишите функционирование регистра при записи и считывании последовательного кода.

2.1.2. Примерные вопросы для контрольной работы (КР)

1. Синтез комбинационных схем на ИС произвольной логики, дешифраторах и мультиплексорах.
2. Синтез счетчиков, формирователи длительности импульсов, генераторы импульсов.

2.2. Оценочные средства для рубежного контроля

2.2.1. Примерные задания для расчетно-графической работы (РГР)

Расчетно-графическая работа №1 «Синтез преобразователей кода»

Спроектировать преобразователь кода:

- а) в базисе ``И-НЕ``
- б) на дешифраторе из 4-х в 16 и дополнительных вентилях

Номер варианта соответствует порядковому номеру по журналу группы

1. из кода с весами (8-4-2-1) в код с весами (2-4-2-1)
2. из (8-4-2-1) в код `` с избытком 3 ``
3. из (8-4-2-1) в код Грея
4. из (8-4-2-1) в (5-4-2-1)
5. из (8-4-2-1) в дополнительный код
6. из (8-4-2-1) в (2-3-3-1)
7. из кода Айкена в код `` с избытком 3 ``
8. из кода Айкена в код Грея
9. из кода Айкена в (5-4-2-1)

10. из кода Айкена в дополнительный код
11. из кода Айкена в (2-3-3-1)
12. из кода ``с избытком 3`` в код (8-4-2-1)
13. из кода ``с избытком 3`` в код Айкена
14. из кода ``с избытком 3`` в код Грея
15. из кода ``с избытком 3`` в код (5-4-2-1)
16. из кода ``с избытком 3`` в дополнительный код
17. из кода ``с избытком 3`` в (2-3-3-1)
18. из кода Грея в (8-4-2-1)
19. из кода Грея в код Айкена
20. из кода Грея в код ``с избытком 3``
21. из кода Грея в код (5-4-2-1)
22. из кода Грея в дополнительный код
23. из кода Грея в код (5-4-2-1)
24. из кода (5-4-2-1) в код (8-4-2-1)
25. из кода (5-4-2-1) в код Айкена
26. из кода (5-4-2-1) в код ``с избытком 3``
27. из кода (5-4-2-1) в код Грея
28. из кода (5-4-2-1) в дополнительный код
29. из кода (5-4-2-1) в код (2-3-3-1)
30. из кода (2-3-3-1) в код Грея

Расчетно-графическая работа №2

Синтезировать синхронный MS - триггер в соответствии с таблицей вариантов.

Активный уровень синхросигнала - лог. 1. Реализовать заданный триггер в базисе И-НЕ (желающие могут использовать базис И-ИЛИ-НЕ, для чего на стенде имеется 4 элемента 2И-ИЛИ-НЕ).

		Выходы триггеров																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																	
Входы триггера		Номер варианта																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																	

*) Номер варианта соответствует порядковому номеру студента по журналу группы.

Расчетно-графическая работа №3

ПРОЕКТИРОВАНИЕ СИНХРОННОГО СЧЕТЧИКА, РАБОТАЮЩЕГО В НОРМАЛЬНОМ ДВОИЧНОМ КОДЕ, НА:

- 1) JK ТРИГГЕРАХ(синхр. + фронтом) или
- 2) D ТРИГГЕРАХ (синхр. - фронтом)

Таблица вариантов задания:

№ п/п	Десятичные номера состояний
1	1,2,3
2	0,1,2,3
3	2,3,4,5
4	0.1.2.3.4
5	3,2,1,0
6	1,3,5
7	6,4,2,0
8	7,5,3,1
9	0,2,3,4
10	7,4,1
11	0,1,2,3,4,6
12	0,1,2,3,4,5,6,7,8
13	0,3,5,7
14	1,3,5,7
15	3,4,5,6,7
16	4,5,6,7,8
17	0,2,4,6,8,10,12,14
18	1,3,5,7,9,11,13,15
19	2,1,3,8,10,9,11
20	4,1,5,8,12,9,13
21	3,2,1
22	3,2,1,0
23	5,4,3,2
24	4,3,2,1,0
25	5,3,1
26	1,4,7
27	6,4,3,2,1,0
28	7,5,3,0
29	7,5,3,1
30	7,6,5,4,3
31	8,7,6,5,4

2.3. Оценочные средства для промежуточной аттестации

2.3.1. Примерные вопросы к зачету

1. Дайте классификацию логических элементов
2. Поясните принципы работы DTL-элемента.
3. Опишите таблицу истинности для элемента "исключающее ИЛИ".
4. Назовите недостатки DTL-элемента?
5. Поясните принцип работы TTL-элементов.
6. Опишите таблицу истинности для элемента 3ИЛИ-НЕ.
7. Какие недостатки характерны для TTL-элементов?
8. В чем принципиальное отличие элементов TTL и TTL-Шотки?
9. Поясните принцип работы КМОП-элементов.
10. От чего зависит потребляемая мощность КМОП-элемента?
11. Какие недостатки КМОП-элементов Вы знаете?
12. Дайте классификацию комбинационных схем.
13. Перечислите и опишите принципы построения дешифраторов, как на функциональном уровне, так и на уровне логических элементов.
14. От чего зависят сложность и быстродействие дешифратора?
15. Перечислите и опишите принципы построения мультиплексоров на функциональном уровне.
16. От чего зависят функциональные возможности мультиплексоров?
17. Объясните принцип работы сумматора.
18. Как осуществляется синтез и анализ комбинационных схем?
19. Поясните, что такое состязания, как их можно выявить и устранить.
20. Что представляет собой сумматор с ускоренным переносом?
21. Приведите схему Т-триггера на элементах И-НЕ и поясните ее работу.
22. Дайте классификацию счетчиков по различным признакам.
23. Объясните отличительные особенности функционирования синхронных триггеров и причины их распространения в практике построения устройств.
24. Каковы отличительные особенности реализации двухступенчатых синхронных триггеров, их преимущества перед одноктактными?
25. Дайте характеристику синхронных и асинхронных счетчиков.
26. Поясните работу суммирующего, вычитающего и реверсивного счетчиков.
27. Как реализуется счетчик с заданным циклом пересчета?
28. Реализуйте трехразрядный счетчик на D-триггерах.
29. Дайте классификацию регистров.
30. Какие преобразования кодов могут осуществляться в регистрах?
31. Поясните сущность микрооперации сдвига.

32. Какие микрооперации можно реализовать с помощью регистров?
33. Каким образом определяется быстродействие регистра?
34. Каковы преимущества использования в регистрах универсальных триггеров?
35. Чем отличаются регистры, построенные на JK-триггерах от регистров на D-триггерах?
36. Опишите функционирование регистра при записи и считывании последовательного кода.

2.3.2. Примерные вопросы к экзамену

Билет № 01

1. Какое управляющее ядро уместнее выбрать для стиральной машины и почему?
2. Если процессор одной и той же командой читает ПД и ПП, то что можно сказать об его архитектуре и почему?
3. Если у графа, описывающего автомат, 12 вершин, то сколько битов обратной связи понадобится автомату и почему?
4. У микросхемы ПЗУ 12 адресных входов и 4 двунаправленных входов/выходов данных. Какова ее организация и почему?
5. Может ли микросхема масочного ПЗУ быть перепрограммирована разработчиком?
6. Какие сигналы выдает на шину блок питания?
7. При адресации через сегментный регистр [DS:BX] DS=12h, а BX=77h. Чему равен физический адрес адресуемой ячейки?
8. К чему сводится требование программной невидимости?
9. Какая из шин – последовательная или параллельная – быстрее при одинаковой аппаратной реализации?
10. Что означает термин «Активный уровень сигнала»?

Билет № 02

1. Какое управляющее ядро уместнее выбрать для звуковой карты и почему?
2. Если процессор одной командой читает ПД, а другой - ПП, то что можно сказать об его архитектуре и почему?
3. Если у графа, описывающего автомат, 16 вершин, то сколько битов обратной связи понадобится автомату и почему?
4. У микросхемы ПЗУ 11 адресных входов и 8 двунаправленных входов/выходов данных. Какова ее организация и почему?
5. Может ли микросхема ППЗУ быть перепрограммирована разработчиком?
6. О чем говорит высокий уровень сигнала ПИТ?
7. При адресации через сегментный регистр [DS:BX] BX =12h, а физический адрес ячейки =72h. Что содержится в DS?

8. К чему сводится требование аппаратной невидимости?
9. Какая из шин – синхронная или асинхронная – быстрее при одинаковой аппаратной реализации?
10. Как кодируется активный уровень сигнала в его названии?

Билет № 03

1. Какое управляющее ядро уместнее выбрать для измерительного прибора и почему?
2. Если процессор имеет четное число выводов для стробов чтения и записи, то что можно сказать об его архитектуре и почему?
3. Если у графа, описывающего автомат, 5 вершин, то сколько битов обратной связи понадобится автомату и почему?
4. У микросхемы ПЗУ 10 адресных входов и 2 двунаправленных входа/выхода данных. Какова ее организация и почему?
5. Может ли микросхема УФППЗУ быть перепрограммирована разработчиком?
6. О чем говорит высокий уровень сигнала ПОСТ?
7. При адресации через сегментный регистр $[DS:BX]$ $DS=12h$, а физический адрес ячейки $=177h$. Что содержится в BX ?
8. К чему сводится требование полноты доступа?
9. Какая из шин – мультиплексированная или демультиплексированная – быстрее при одинаковой аппаратной реализации?
10. Для чего используются стробирующие сигналы?

Билет № 04

1. Какое управляющее ядро уместнее выбрать для интеллектуального датчика и почему?
2. Если процессор имеет нечетное число выводов для стробов чтения и записи, то что можно сказать об его архитектуре и почему?
3. Если у графа, описывающего автомат, 21 вершина, то сколько битов обратной связи понадобится автомату и почему?
4. У микросхемы ПЗУ 12 адресных входов и 8 двунаправленных входов/выходов данных. Какова ее организация и почему?
5. Может ли микросхема ЭППЗУ быть перепрограммирована разработчиком?
6. О чем говорит низкий уровень сигнала ПИТ?
7. При адресации через сегментный регистр $[DS:BX]$ $DS=12h$, а $BX=85h$. Чему равен физический адрес адресуемой ячейки?
8. Может ли система отладки типа «Монитор» полностью удовлетворять требованию программной невидимости?

9. Какой из протоколов поддерживает множественность приемников?

10. Что находится на ШАД, если строб адреса $CA_{дрВ}=0.6В$?

Билет № 05

1. Какое управляющее ядро уместнее выбрать для вольтметра и почему?

2. Если строб чтения ПД активен 250 нс, а строб чтения ПП – 350 нс, то что можно сказать об архитектуре процессора и почему?

3. Если у графа, описывающего автомат, из одной из вершин выходит 6 ребер, то сколько входных сигналов понадобится автомату для корректного выбора и почему?

4. Микросхема ПЗУ имеет организацию 16Кх8. Сколько у нее адресных входов и выходов данных?

5. Какое оборудование необходимо разработчику для перепрограммирования микросхемы ЭППЗУ?

6. О чем говорит низкий уровень сигнала ПОСТ?

7. При адресации через сегментный регистр $[DS:BX]$ $DS=12h$, а физический адрес ячейки $=A2h$. Что содержится в BX ?

8. Может ли система отладки типа «Монитор» полностью удовлетворять требованию аппаратной невидимости?

9. Сколько активных устройств может работать на шине одновременно?

10. Что находится на ШАД, если строб адреса $CA_{дрВ}=3.6В$?

Билет № 06

1. Какое управляющее ядро уместнее выбрать для телевизора и почему?

2. Если строб чтения ПД активен 150 нс, а строб чтения ПП – 400 нс, то что можно сказать об архитектуре процессора и почему?

3. Если у графа, описывающего автомат, из одной из вершин выходит 4 ребра, то сколько входных сигналов понадобится автомату для корректного выбора и почему?

4. Микросхема ПЗУ имеет организацию 4Кх8. Сколько у нее адресных входов и выходов данных?

5. Какое оборудование необходимо разработчику для перепрограммирования микросхемы УФППЗУ?

6. Каким может быть активный уровень сигнала ПИТ?

7. При адресации через сегментный регистр $[DS:BX]$ $BX = 12h$, а физический адрес ячейки $= 7Ch$. Что содержится в DS ?

8. Может ли система отладки типа «Монитор» полностью удовлетворять требованию полноты доступа?

9. Сколько передатчиков может существовать на шине одновременно?
10. Что находится на ШАД, если строб адреса $CA_{дрH}=0.6B$?

Билет № 07

1. Какое управляющее ядро уместнее выбрать для СВЧ-печи и почему?
2. Если строб чтения ПД активен 250 нс, а строб чтения ПП - тоже 250 нс, то что можно сказать об архитектуре процессора и почему?
3. Если у графа, описывающего автомат, из одной из вершин выходит 7 ребер, то сколько входных сигналов понадобится автомату для корректного выбора и почему?
4. Микросхема ПЗУ имеет организацию $64K \times 4$. Сколько у нее адресных входов и выходов данных?
5. Какое оборудование необходимо разработчику для перепрограммирования микросхемы Flash memory?
6. Каким может быть активный уровень сигнала ПОСТ?
7. При адресации через сегментный регистр $[DS:BX]$ $DS=11h$, а $BX=77h$. Чему равен физический адрес адресуемой ячейки?
8. Может ли система отладки типа «Внутрисхемный эмулятор» полностью удовлетворять требованию программной невидимости?
9. Сколько приемников может существовать на шине одновременно?
10. Что находится на ШАД, если строб адреса $CA_{дрH}=3.6B$?

Билет № 08

1. Какое управляющее ядро уместнее выбрать для автомобильного блока управления зажиганием и почему?
2. Если строб чтения ПД активен 350 нс, а строб чтения ПП – 100 нс, то что можно сказать об архитектуре процессора и почему?
3. Если у графа, описывающего автомат, из одной из вершин выходит 9 ребер, то сколько входных сигналов понадобится автомату для корректного выбора и почему?
4. Микросхема ПЗУ имеет организацию 256×4 . Сколько у нее адресных входов и выходов данных?
5. Возникает ли проблема регенерации при использовании микросхем ЭППЗУ?
6. О чем говорит переход сигнала ПОСТ на низкий уровень?
7. При адресации через сегментный регистр $[DS:BX]$ $DS=11h$, а физический адрес ячейки $=177h$. Что содержится в BX ?
8. Может ли система отладки типа «Внутрисхемный эмулятор» полностью удовлетворять требованию аппаратной невидимости?

9. Какое устройство распределяет роли «приемник/передатчик»?
10. Что находится на ШАД, если строб чтения $ЧтВ=0.6В$?

Билет № 09

1. Какое управляющее ядро уместнее выбрать для программируемой новогодней гирлянды и почему?
2. Если процессор имеет 8 выводов для стробов чтения и записи, то что можно сказать об его архитектуре и адресных пространствах и почему?
3. Автомат реализован на одной ПЗУ организацией $1Кх8$. У него 6 входных сигналов и 5 выходных. Сколько состояний может быть у этого автомата и почему?
4. Микросхема статического ОЗУ имеет организацию $16Кх8$. Сколько у нее адресных входов и выходов данных?
5. Возникает ли проблема регенерации при использовании м/с УФППЗУ?
6. О чем говорит переход сигнала ПИТ на низкий уровень?
7. При адресации через сегментный регистр $[DS:BX]$ $BX = 11h$, а физический адрес ячейки $= 7Bh$. Что содержится в DS?
8. Может ли система отладки типа «Внутрисхемный эмулятор» полностью удовлетворять требованию полноты доступа?
9. Может ли активное устройство выступать в роли приемника?
10. Что находится на ШАД, если строб чтения $ЧтВ=3.6В$?

Билет № 10

1. Какое управляющее ядро уместнее выбрать для парковочного радара и почему?
2. Если процессор имеет 5 выводов для стробов чтения и записи, то что можно сказать об его архитектуре и адресных пространствах и почему?
3. Автомат реализован на одной ПЗУ организацией $1Кх8$. У него 5 входных сигналов и 6 выходных. Сколько состояний может быть у этого автомата и почему?
4. Микросхема статического ОЗУ имеет организацию $4Кх8$. Сколько у нее адресных входов и выходов данных?
5. Возникает ли проблема регенерации при использовании м/с ППЗУ?
6. Каков порядок появления сигналов ПИТ и ПОСТ при включении питания?
7. При адресации через сегментный регистр $[DS:BX]$ $DS = 77h$, а физический адрес ячейки $= 777h$. Что содержится в BX?
8. Может ли система отладки типа «Эмулятор ПЗУ» полностью удовлетворять требованию программной невидимости?
9. Может ли активное устройство выступать в роли передатчика?

10. Что находится на ШАД, если строб чтения $ЧтН=0.6В$?

Билет № 11

1. Какое управляющее ядро уместнее выбрать для принтера и почему?
2. Если у процессора есть команда записи ПП, то что можно сказать об его архитектуре и почему?
3. Автомат реализован на одной ПЗУ организацией $1Кх8$. У него 2 входных сигнала и 5 выходных. Сколько состояний может быть у этого автомата и почему?
4. Микросхема статического ОЗУ имеет организацию $64Кх4$. Сколько у нее адресных входов и выходов данных?
5. Возникает ли проблема регенерации при использовании микросхем статического ОЗУ?
6. Каков порядок снятия сигналов ПИТ и ПОСТ при выключении питания?
7. При адресации через сегментный регистр $[DS:BX]$ $DS=77h$, а $BX=12h$. Чему равен физический адрес адресуемой ячейки?
8. Может ли система отладки типа «Эмулятор ПЗУ» полностью удовлетворять требованию аппаратной невидимости?
9. Может ли контроллер шины выступать в роли приемника?
10. Что находится на ШАД, если строб чтения $ЧтН=3.6В$?

Билет № 12

1. Какое управляющее ядро уместнее выбрать для сканера и почему?
2. Если у процессора нет команды записи ПП, то что можно сказать об его архитектуре и почему?
3. Автомат реализован на одной ПЗУ организацией $2Кх8$. У него 6 входных сигналов и 4 выходных. Сколько состояний может быть у этого автомата и почему?
4. Микросхема статического ОЗУ имеет организацию $256х4$. Сколько у нее адресных входов и выходов данных?
5. Возникает ли проблема регенерации при использовании микросхем динамического ОЗУ?
6. Какие радиоэлементы имеют право пересекать линию гальванической развязки?
7. При адресации через сегментный регистр $[DS:BX]$ $BX = 75h$, а физический адрес ячейки $=775h$. Что содержится в DS?
8. Может ли система отладки типа «Эмулятор ПЗУ» полностью удовлетворять требованию полноты доступа?
9. Может ли контроллер шины выступать в роли передатчика?
10. Что находится на ШАД, если строб записи $ЗапВ=0.6В$?

Билет № 13

1. Какое управляющее ядро уместнее выбрать для подсистемы «умного дома» и почему?
2. Почему ЭВМ общего назначения имеют, как правило, фон-неймановскую архитектуру?
3. Автомат реализован на одной ПЗУ. У него 6 входных сигналов, 5 выходных и 6 состояний. Какова минимальная организация этой ПЗУ и почему?
4. Микросхема динамического ОЗУ имеет организацию 64Кх4. Сколько у нее адресных входов и выходов данных?
5. Какой тип микросхем памяти необходим для построения энергонезависимого ОЗУ?
6. Может ли трансформатор пересекать линию гальванической развязки?
7. При адресации через сегментный регистр [DS:BX] DS=12h, а BX=77h. Чему равен физический адрес адресуемой ячейки?
8. Что надо сделать, чтобы задействовать систему отладки типа «Монитор»?
9. Может ли демультиплексированная шина быть последовательной?
10. Что находится на ШАД, если строб записи ЗапВ=3.6В ?

Билет № 14

1. Какое управляющее ядро уместнее выбрать для измерителя максимального значения тока и почему?
2. Почему встраиваемые ЭВМ имеют, как правило, гарвардскую архитектуру?
3. Автомат реализован на одной ПЗУ. У него 8 входных сигналов, 4 выходных и 12 состояний. Какова минимальная организация этой ПЗУ и почему?
4. Микросхема динамического ОЗУ имеет организацию 256Кх4. Сколько у нее адресных входов и выходов данных?
5. Можно ли построить блок энергонезависимого ОЗУ на базе микросхем УФППЗУ?
6. Может ли транзистор пересекать линию гальванической развязки?
7. При адресации через сегментный регистр [DS:BX] BX =12h, а физический адрес ячейки =72h. Что содержится в DS?
8. Что надо сделать, чтобы задействовать систему отладки типа «Внутрисхемный эмулятор»?
9. Может ли мультиплексированная шина быть параллельной?
10. Что находится на ШАД, если строб записи ЗапН=0.6В ?

Билет № 15

1. Какое управляющее ядро уместнее выбрать для измерителя пикового значения напряжения и почему?
2. Могут ли одновременно применяться два метода доступа к расширенному ОЗУ?

3. Автомат реализован на одной ПЗУ. У него 5 входных сигналов, 4 выходных и 15 состояний. Какова минимальная организация этой ПЗУ и почему?
4. Микросхема динамического ОЗУ имеет организацию $128K \times 8$. Сколько у нее адресных входов и выходов данных?
5. Можно ли построить блок энергонезависимого ОЗУ на базе микросхем динамического ОЗУ?
6. Может ли оптрон пересекать линию гальванической развязки?
7. При адресации через сегментный регистр $[DS:BX]$ $DS=12h$, а физический адрес ячейки $=177h$. Что содержится в BX ?
8. Что надо сделать, чтобы задействовать систему отладки типа «Эмулятор ПЗУ»?
9. Может ли параллельная шина быть асинхронной?
10. Что находится на ШАД, если строб записи $ЗапН=3.6B$?

Билет № 16

1. Какое управляющее ядро уместнее выбрать для автомобильного блока управления зажиганием и почему?
2. Могут ли одновременно применяться два метода доступа к расширенному ОЗУ?
3. Если у графа, описывающего автомат, из одной из вершин выходит 6 ребер, то сколько входных сигналов понадобится автомату для корректного выбора и почему?
4. Микросхема динамического ОЗУ имеет организацию $256K \times 4$. Сколько у нее адресных входов и выходов данных?
5. Можно ли построить блок энергонезависимого ОЗУ на базе микросхем УФППЗУ?
6. Какие сигналы выдает на шину блок питания?
7. При адресации через сегментный регистр $[DS:BX]$ $DS=12h$, а $BX=85h$. Чему равен физический адрес адресуемой ячейки?
8. Может ли система отладки типа «Монитор» полностью удовлетворять требованию аппаратной невидимости?
9. Сколько активных устройств может работать на шине одновременно?
10. Что находится на ШАД, если строб адреса $САдрН=0.6B$?

Билет № 17

1. Какое управляющее ядро уместнее выбрать для вольтметра и почему?
2. Почему встраиваемые ЭВМ имеют, как правило, гарвардскую архитектуру?
3. Если у графа, описывающего автомат, из одной из вершин выходит 4 ребра, то сколько входных сигналов понадобится автомату для корректного выбора и почему?

4. Микросхема статического ОЗУ имеет организацию 256×4 . Сколько у нее адресных входов и выходов данных?
5. Может ли микросхема масочного ПЗУ быть перепрограммирована разработчиком?
6. О чем говорит высокий уровень сигнала ПОСТ?
7. При адресации через сегментный регистр $[DS:BX]$ $DS=12h$, а физический адрес ячейки $=A2h$. Что содержится в BX ?
8. Может ли система отладки типа «Монитор» полностью удовлетворять требованию полноты доступа?
9. Сколько передатчиков может существовать на шине одновременно?
10. Что означает термин «Активный уровень сигнала»?

Билет № 18

1. Какое управляющее ядро уместнее выбрать для звуковой карты и почему?
2. Почему ЭВМ общего назначения имеют, как правило, фон-неймановскую архитектуру?
3. Если у графа, описывающего автомат, из одной из вершин выходит 7 ребер, то сколько входных сигналов понадобится автомату для корректного выбора и почему?
4. Микросхема статического ОЗУ имеет организацию $4K \times 8$. Сколько у нее адресных входов и выходов данных?
5. Может ли микросхема ЭППЗУ быть перепрограммирована разработчиком?
6. О чем говорит низкий уровень сигнала ПОСТ?
7. Могут ли несколько элементов структурной схемы МПУ располагаться в одной микросхеме?
8. Может ли система отладки типа «Внутрисхемный эмулятор» полностью удовлетворять требованию программной невидимости?
9. Сколько приемников может существовать на шине одновременно?
10. Что находится на ШАД, если строб чтения $ЧтН=3.6V$?

Билет № 19

1. Какое управляющее ядро уместнее выбрать для измерительного прибора и почему?
2. Если у процессора нет команды записи ПП, то что можно сказать об его архитектуре и почему?
3. Если у графа, описывающего автомат, из одной из вершин выходит 9 ребер, то сколько входных сигналов понадобится автомату для корректного выбора и почему?
4. Микросхема ПЗУ имеет организацию 256×4 . Сколько у нее адресных входов и выходов данных?

5. Какое оборудование необходимо разработчику для перепрограммирования микросхемы Flash memory?
6. Каким может быть активный уровень сигнала ПОСТ?
7. Как по сравнительным размерам элементов «ПЗУ» и «ОЗУ» структурной схемы МПУ отличить ЭВМ общего назначения?
8. Может ли система отладки типа «Внутрисхемный эмулятор» полностью удовлетворять требованию аппаратной невидимости?
9. Какое устройство распределяет роли «приемник/передатчик»?
10. Что находится на ШАД, если строб адреса САдрН=3.6В ?

Билет № 20

1. Какое управляющее ядро уместнее выбрать для измерителя максимального значения тока и почему?
2. Если у процессора есть команда записи ПП, то что можно сказать об его архитектуре и почему?
3. Автомат реализован на одной ПЗУ организацией 1Кх8. У него 6 входных сигналов и 5 выходных. Сколько состояний может быть у этого автомата и почему?
4. Микросхема ПЗУ имеет организацию 4Кх8. Сколько у нее адресных входов и выходов данных?
5. Возникает ли проблема регенерации при использовании микросхем ППЗУ?
6. О чем говорит переход сигнала ПИТ на низкий уровень?
7. При адресации через сегментный регистр [DS:BX] BX =12h, а физический адрес ячейки =7Ch. Что содержится в DS?
8. Может ли система отладки типа «Внутрисхемный эмулятор» полностью удовлетворять требованию полноты доступа?
9. Может ли активное устройство выступать в роли приемника?
10. Как кодируется активный уровень сигнала в его названии?

Билет № 21

1. Какое управляющее ядро уместнее выбрать для измерителя пикового значения напряжения и почему?
2. Если процессор имеет 5 выводов для стробов чтения и записи, то что можно сказать об его архитектуре и адресных пространствах и почему?
3. Автомат реализован на одной ПЗУ организацией 1Кх8. У него 5 входных сигналов и 6 выходных. Сколько состояний может быть у этого автомата и почему?
4. У микросхемы ПЗУ 12 адресных входов и 8 двунаправленных входов/выходов данных. Какова ее организация и почему?

5. Какой тип микросхем памяти необходим для построения энергонезависимого ОЗУ?
6. Каков порядок снятия сигналов ПИТ и ПОСТ при выключении питания?
7. Как по сравнительным размерам элементов «ПЗУ» и «ОЗУ» структурной схемы МПУ отличить встраиваемую ЭВМ?
8. Может ли система отладки типа «Эмулятор ПЗУ» полностью удовлетворять требованию программной невидимости?
9. Может ли быть активный уровень stroba записи высокий, если активный уровень stroba чтения – низкий?
10. Что находится на ШАД, если strob записи $ЗапВ=0.6В$?

Билет № 22

1. Какое управляющее ядро уместнее выбрать для интеллектуального датчика и почему?
2. Если процессор имеет 8 выводов для strobov чтения и записи, то что можно сказать об его архитектуре и адресных пространствах и почему?
3. Автомат реализован на одной ПЗУ организацией $1K \times 8$. У него 2 входных сигнала и 5 выходных. Сколько состояний может быть у этого автомата и почему?
4. У микросхемы ПЗУ 11 адресных входов и 8 двунаправленных входов/выходов данных. Какова ее организация и почему?
5. Может ли микросхема ППЗУ быть перепрограммирована разработчиком?
6. Может ли трансформатор пересекать линию гальванической развязки?
7. При адресации через сегментный регистр $[DS:BX]$ $DS=11h$, а физический адрес ячейки $=177h$. Что содержится в BX ?
8. Может ли система отладки типа «Эмулятор ПЗУ» полностью удовлетворять требованию аппаратной невидимости?
9. Может ли контроллер шины выступать в роли приемника?
10. Что находится на ШАД, если strob чтения $ЧтВ=0.6В$?

Билет № 23

1. Какое управляющее ядро уместнее выбрать для парковочного радара и почему?
2. Если strob чтения ПД активен 350 нс, а strob чтения ПП – 100 нс, то что можно сказать об архитектуре процессора и почему?
3. Автомат реализован на одной ПЗУ организацией $2K \times 8$. У него 6 входных сигналов и 4 выходных. Сколько состояний может быть у этого автомата и почему?
4. Микросхема динамического ОЗУ имеет организацию $128K \times 8$. Сколько у нее адресных входов и выходов данных?
5. Какое оборудование необходимо разработчику для перепрограммирования микросхемы ЭППЗУ?

6. Может ли оптрон пересекать линию гальванической развязки?
7. При адресации через сегментный регистр [DS:BX] DS=11h, а BX=77h. Чему равен физический адрес адресуемой ячейки?
8. Может ли система отладки типа «Эмулятор ПЗУ» полностью удовлетворять требованию полноты доступа?
9. Может ли контроллер шины выступать в роли передатчика?
10. Для чего используются стробирующие сигналы?

Билет № 24

1. Какое управляющее ядро уместнее выбрать для подсистемы «умного дома» и почему?
2. Если строб чтения ПД активен 250 нс, а строб чтения ПП - тоже 250 нс, то что можно сказать об архитектуре процессора и почему?
3. Автомат реализован на одной ПЗУ. У него 6 входных сигналов, 5 выходных и 6 состояний. Какова минимальная организация этой ПЗУ и почему?
4. Микросхема динамического ОЗУ имеет организацию 64Кх4. Сколько у нее адресных входов и выходов данных?
5. Возникает ли проблема регенерации при использовании микросхем ЭППЗУ?
6. О чем говорит высокий уровень сигнала ПИТ?
7. При адресации через сегментный регистр [DS:BX] BX =11h, а физический адрес ячейки =7Bh. Что содержится в DS?
8. Что надо сделать, чтобы задействовать систему отладки типа «Монитор»?
9. Может ли демультиплексированная шина быть последовательной?
10. Что находится на ШАД, если строб записи ЗапВ=3.6В ?

Билет № 25

1. Какое управляющее ядро уместнее выбрать для принтера и почему?
2. Если строб чтения ПД активен 150 нс, а строб чтения ПП – 400 нс, то что можно сказать об архитектуре процессора и почему?
3. Автомат реализован на одной ПЗУ. У него 8 входных сигналов, 4 выходных и 12 состояний. Какова минимальная организация этой ПЗУ и почему?
4. Микросхема статического ОЗУ имеет организацию 64Кх4. Сколько у нее адресных входов и выходов данных?
5. Возникает ли проблема регенерации при использовании микросхем статического ОЗУ?
6. О чем говорит низкий уровень сигнала ПИТ?

7. При адресации через сегментный регистр [DS:BX] DS=77h, а BX=12h. Чему равен физический адрес адресуемой ячейки?
8. Что надо сделать, чтобы задействовать систему отладки типа «Внутрисхемный эмулятор»?
9. Может ли мультиплексированная шина быть параллельной?
10. Что находится на ШАД, если строб чтения ЧтВ=3.6В ?

Билет № 26

1. Какое управляющее ядро уместнее выбрать для программируемой новогодней гирлянды и почему?
2. Если строб чтения ПД активен 250 нс, а строб чтения ПП – 350 нс, то что можно сказать об архитектуре процессора и почему?
3. Автомат реализован на одной ПЗУ. У него 5 входных сигналов, 4 выходных и 15 состояний. Какова минимальная организация этой ПЗУ и почему?
4. Микросхема статического ОЗУ имеет организацию 16Кх8. Сколько у нее адресных входов и выходов данных?
5. Может ли микросхема УФППЗУ быть перепрограммирована разработчиком?
6. Каким может быть активный уровень сигнала ПИТ?
7. В каком случае ПД и ПП на структурной схеме МПУ располагаются в разных элементах?
8. Что надо сделать, чтобы задействовать систему отладки типа «Эмулятор ПЗУ»?
9. Может ли параллельная шина быть асинхронной?
10. Что находится на ШАД, если строб адреса САдрВ=0.6В ?

Билет № 27

1. Какое управляющее ядро уместнее выбрать для СВЧ-печи и почему?
2. Если процессор имеет нечетное число выводов для стробов чтения и записи, то что можно сказать об его архитектуре и почему?
3. Если у графа, описывающего автомат, 12 вершин, то сколько битов обратной связи понадобится автомату и почему?
4. Микросхема ПЗУ имеет организацию 64Кх4. Сколько у нее адресных входов и выходов данных?
5. Какое оборудование необходимо разработчику для перепрограммирования микросхемы УФППЗУ?
6. О чем говорит переход сигнала ПОСТ на низкий уровень?
7. При адресации через сегментный регистр [DS:BX] DS=77h, а физический адрес ячейки =777h. Что содержится в ВХ?
8. К чему сводится требование программной невидимости?

9. Какая из шин – последовательная или параллельная – быстрее при одинаковой аппаратной реализации?
10. Что находится на ШАД, если строб записи $ZapH=0.6V$?

Билет № 28

1. Какое управляющее ядро уместнее выбрать для сканера и почему?
2. Если процессор имеет четное число выводов для стробов чтения и записи, то что можно сказать об его архитектуре и почему?
3. Если у графа, описывающего автомат, 16 вершин, то сколько битов обратной связи понадобится автомату и почему?
4. Микросхема ПЗУ имеет организацию $16K \times 8$. Сколько у нее адресных входов и выходов данных?
5. Возникает ли проблема регенерации при использовании микросхем УФППЗУ?
6. Каков порядок появления сигналов ПИТ и ПОСТ при включении питания?
7. При адресации через сегментный регистр $[DS:BX]$ $BX = 75h$, а физический адрес ячейки $= 775h$. Что содержится в DS?
8. К чему сводится требование аппаратной невидимости?
9. Может ли быть активный уровень строба чтения высокий, если активный уровень строба записи – низкий?
10. Что находится на ШАД, если строб чтения $ЧтH=0.6V$?

Билет № 29

1. Какое управляющее ядро уместнее выбрать для стиральной машины и почему?
2. Если процессор одной командой читает ПД, а другой - ПП, то что можно сказать об его архитектуре и почему?
3. Если у графа, описывающего автомат, 5 вершин, то сколько битов обратной связи понадобится автомату и почему?
4. У микросхемы ПЗУ 10 адресных входов и 2 двунаправленных входа/выхода данных. Какова ее организация и почему?
5. Возникает ли проблема регенерации при использовании микросхем динамического ОЗУ?
6. Какие радиоэлементы имеют право пересекать линию гальванической развязки?
7. При адресации через сегментный регистр $[DS:BX]$ $DS=12h$, а $BX=77h$. Чему равен физический адрес адресуемой ячейки?
8. К чему сводится требование полноты доступа?
9. Какая из шин – мультиплексированная или демультиплексированная – быстрее при одинаковой аппаратной реализации?

10. Что находится на ШАД, если строб адреса САдрВ=3.6В ?

Билет № 30

1. Какое управляющее ядро уместнее выбрать для телевизора и почему?
2. Если процессор одной и той же командой читает ПД и ПП, то что можно сказать об его архитектуре и почему?
3. Если у графа, описывающего автомат, 21 вершина, то сколько битов обратной связи понадобится автомату и почему?
4. У микросхемы ПЗУ 12 адресных входов и 4 двунаправленных входов/выходов данных. Какова ее организация и почему?
5. Можно ли построить блок энергонезависимого ОЗУ на базе микросхем динамического ОЗУ?
6. Может ли транзистор пересекать линию гальванической развязки?
7. При адресации через сегментный регистр [DS:BX] BX =12h, а физический адрес ячейки =72h. Что содержится в DS?
8. Может ли система отладки типа «Монитор» полностью удовлетворять требованию программной невидимости?
9. Какой из протоколов поддерживает множественность приемников?
10. Что находится на ШАД, если строб записи ЗапН=3.6В ?

2.3.3. Примерные варианты билетов к экзамену

СарФТИ	
Билет № 1	
по курсу <u>ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА</u>	
1	Базовый логический элемент ТТЛ И-НЕ со сложным инвертором. Принцип работы. Передаточная характеристика, статические и динамические параметры.
2	Минимизация частично определенных функций.
Утверждено на заседании кафедры Преподаватель	
СарФТИ	
Билет № 2	
по курсу <u>ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА</u>	
1	Ключевой режим работы биполярного транзистора , переходный процесс при отпирании ключа.
2	Методика синтеза преобразователей кодов.
Утверждено на заседании кафедры Преподаватель	
СарФТИ	

Билет № 3 по курсу <u>ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА</u>	
1	Ключевой режим работы биполярного транзистора , переходный процесс при запираании ключа.
2	Шифратор. Определение, приоритетный шифратор, пример синтеза приоритетного шифратора на четыре входа в базисе И, ИЛИ, НЕ
Утверждено на заседании кафедры	
Преподователь	
СарФТИ	
Билет № 4 по курсу <u>ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА</u>	
1	Ненасыщенный ключ на биполярном транзисторе. Схема, принцип работы.
2	Мультиплексоры. Основное назначение, настройка мультиплексоров для реализации комбинационных схем.
Утверждено на заседании кафедры	
Преподователь	
СарФТИ	
Билет № 5 по курсу <u>ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА</u>	
1	Цифровые интегральные схемы (ЦИС). Классификация, система параметров и характеристик.
2	Одноразрядные полусумматоры и сумматоры. Таблицы функционирования, схемная реализация. Многоразрядные сумматоры.
Утверждено на заседании кафедры	
Преподователь	

СарФТИ	
Билет № 6	
по курсу <u>ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА</u>	
1	Базовый логический элемент ТТЛ ИЛИ-НЕ. Принцип работы, параметры, характеристики.
2	Схемы контроля четности.
Утверждено на заседании кафедры Преподаватель	
СарФТИ	
Билет № 7	
по курсу <u>ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА</u>	
1	ТТЛ со сложным инвертором. Схема, принцип работы, параметры. Особенности использования (свободные входы, возможности объединения выходов, повышение помехоустойчивости).
2	Минимизация логических функций с представлением функций в различных базисах (И-НЕ, ИЛИ-НЕ)
Утверждено на заседании кафедры Преподаватель	
СарФТИ	
Билет № 8	
по курсу <u>ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА</u>	
1	ТТЛ с тремя состояниями и открытым коллектором. Схемы, принцип работы, примеры использования.
2	Минимизация логических функций с представлением функций в различных базисах (И-ИЛИ-НЕ, ИЛИ-НЕ и монтажное ИЛИ).
Утверждено на заседании кафедры Преподаватель	
СарФТИ	

Билет № 9 по курсу <u>ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА</u>	
1	Буферные каскады, приемопередатчики. Схемы, назначение, особенности.
2	Бистабильные ячейки. Схемы, принцип работы. Объяснить наличие запрещенных комбинаций входных сигналов.
Утверждено на заседании кафедры	
СарФТИ Билет № 10 по курсу <u>ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА</u>	
1	Ключ на КМДП транзисторах. Схема, принцип работы. Потребление в статическом и динамическом режимах работы.
2	Методика проектирования MS-триггера.
Утверждено на заседании кафедры	
СарФТИ Билет № 11 по курсу <u>ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА</u>	
1	Базовые логические элементы И-НЕ и ИЛИ-НЕ на КМДП транзисторах, принцип работы. Параметры.
2	Комбинационные схемы контроля четности (нечетности).
Утверждено на заседании кафедры	
СарФТИ	

СарФТИ	
Билет № 12	
по курсу <u>ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА</u>	
1	Базовый логический элемент ЭСЛ. Принцип работы, параметры, характеристики.
2	Триггеры, обобщенная структурная схема, классификация по типу характеристического уравнения.
Утверждено на заседании кафедры Преподаватель	
СарФТИ	
Билет № 13	
по курсу <u>ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА</u>	
1	Сравнить базовые элементы ТТЛ, ТТЛШ, КМДП, ЭСЛ по быстродействию, помехоустойчивости, потребляемой мощности. Объяснить причины различий в значениях параметров.
2	Счетчики, классификация. Безвентильные счетчики.
Утверждено на заседании кафедры Преподаватель	
СарФТИ	
Билет № 14	
по курсу <u>ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА</u>	
1	Основы булевой алгебры. Аксиомы и законы. Логические базисы.
2	Методика синтеза асинхронных счетчиков и пересчетных устройств.
Утверждено на заседании кафедры Преподаватель	
СарФТИ	

Билет № 15 по курсу <u>ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА</u>	
1	Базовый логический элемент ТТЛШ. Принцип работы, параметры, характеристики.
2	Схемы укорочения и удлинения импульсов.
Утверждено на заседании кафедры	
Преподаватель СарФТИ	
Билет № 16 по курсу <u>ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА</u>	
1	Дешифраторы, определение, основное назначение, использование дешифраторов
2	Одновибраторы, мультивибраторы на триггерах и логических ИС.
Утверждено на заседании кафедры	
Преподаватель СарФТИ	
Билет №17 по курсу <u>ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА</u>	
1	Демультимплексор, основное назначение, схема наращивания числа выходов
2	Последовательный диодный ключ. Переходные процессы с учетом и без учета емкости нагрузки.
Утверждено на заседании кафедры	
Преподаватель	

3. ШКАЛЫ ОЦЕНКИ ОБРАЗОВАТЕЛЬНЫХ ДОСТИЖЕНИЙ

Код	Вид оценочного средства	Критерии	Балл	Максимальный балл – минимальный балл
УО	Устный опрос	выставляется студенту если ответы на 90 - 100% вопросов даны правильно	5	5 - 3
		выставляется студенту если ответы на 80 - 89% вопросов даны правильно	4	
		выставляется студенту если ответы на 60 - 79% вопросов даны правильно	3	
		при ответе студента менее чем на 60% вопросов, задание не зачитывается и у студента образуется долг, который должен быть закрыт в течении семестра или на зачетной неделе	н/з	
КР	Контрольная работа	выставляется студенту если ответы на 90 - 100% контрольных заданий даны правильно	5	5 - 3
		выставляется студенту если ответы на 80 - 89% контрольных заданий даны правильно	4	
		выставляется студенту если ответы на 60 - 79% контрольных заданий даны правильно	3	

		при ответе студента менее чем на 60% вопросов, задание не зачитывается и у студента образуется долг, который должен быть закрыт в течении семестра или на зачетной неделе	н/з	
РГР	Расчетно-графическая работа	выставляется студенту если ответы на 90 - 100% расчетно-графических заданий даны правильно	5	5 - 3
		выставляется студенту если ответы на 80 - 89% расчетно-графических заданий даны правильно	4	
		выставляется студенту если ответы на 60 - 79% расчетно-графических заданий даны правильно	3	
		при ответе студента менее чем на 60% вопросов, задание не зачитывается и у студента образуется долг, который должен быть закрыт в течении семестра или на зачетной неделе	н/з	
Зачет	Зачет	Ответы на поставленные вопросы к зачету излагаются логично, последовательно и не требуют дополнительных пояснений. Полно раскрываются причинно-следственные связи между явлениями и событиями. Делаются обоснованные выводы. Демонстрируются глубокие знания теоретических основ. Соблюдаются нормы литературной речи.	5	5 - 3

		Ответы на поставленные вопросы излагаются систематизировано и последовательно. Базовые теоретические положения используются, но в не полном объеме. Материал излагается уверенно. Раскрыты причинно-следственные связи между явлениями и событиями. Демонстрируется умение анализировать материал, однако не все выводы носят аргументированный и доказательный характер. Соблюдаются нормы литературной речи.	4	
		Допускаются нарушения в последовательности изложения. Имеются упоминания об отдельных теоретических основах. Неполно раскрываются причинно-следственные связи между явлениями и событиями. Демонстрируются поверхностные знания вопроса, а имеющиеся практические навыки с трудом позволяют решать конкретные задачи. Имеются затруднения с выводами. Допускаются нарушения норм литературной речи.	3	

		Материал излагается непоследовательно, сбивчиво, не представляет определенной системы знаний по дисциплине. Не раскрываются причинно-следственные связи между явлениями и событиями. Не проводится анализ. Выводы отсутствуют. Имеются заметные нарушения норм литературной речи.	н/з	
Экзамен	Экзамен	Ответы на поставленные вопросы в билете излагаются логично, последовательно и не требуют дополнительных пояснений. Полно раскрываются причинно-следственные связи между явлениями и событиями. Делаются обоснованные выводы. Демонстрируются глубокие знания теоретических основ. Соблюдаются нормы литературной речи.	5	5 - 3

		Ответы на поставленные вопросы излагаются систематизировано и последовательно. Базовые теоретические положения используются, но в не полном объеме. Материал излагается уверенно. Раскрыты причинно-следственные связи между явлениями и событиями. Демонстрируется умение анализировать материал, однако не все выводы носят аргументированный и доказательный характер. Соблюдаются нормы литературной речи.	4	
		Допускаются нарушения в последовательности изложения. Имеются упоминания об отдельных теоретических основах. Неполно раскрываются причинно-следственные связи между явлениями и событиями. Демонстрируются поверхностные знания вопроса, а имеющиеся практические навыки с трудом позволяют решать конкретные задачи. Имеются затруднения с выводами. Допускаются нарушения норм литературной речи.	3	

		Материал излагается непоследовательно, сбивчиво, не представляет определенной системы знаний по дисциплине. Не раскрываются причинно-следственные связи между явлениями и событиями. Не проводится анализ. Выводы отсутствуют. Имеются заметные нарушения норм литературной речи.	н/з	
--	--	---	-----	--

Минимальный балл, который необходимо набрать, равен 3.

Итоговая оценка представляет собой сумму баллов, заработанных студентом при выполнении заданий в рамках текущего и промежуточного контроля и выставляется в соответствии с Положением о кредитно-модульной системе в соответствии со следующей шкалой:

Оценка по 5-бальной шкале	Сумма баллов за разделы	Оценка ECTS
5 – «отлично»	90 - 100	A
4 – «хорошо»	85 - 89	B
	75 - 84	C
	70 - 74	D
3 – «удовлетворительно»	65 - 69	E
	60 - 64	
2- «неудовлетворительно»	Ниже 60	F

Расшифровка уровня знаний, соответствующего полученным баллам, дается в таблице указанной ниже:

Сумма баллов	Оценка по 4-ех балльной шкале	Оценка ECTS	Требования к уровню освоению учебной дисциплины
90-100	5 – <i>«отлично»</i>	A	Оценка «отлично» выставляется студенту, если он глубоко и прочно усвоил программный материал, исчерпывающе, последовательно, четко и логически стройно его излагает, умеет тесно увязывать теорию с практикой, использует в ответе материал монографической литературы.
85-89	4 – <i>«хорошо»</i>	B	Оценка «хорошо» выставляется студенту, если он твёрдо знает материал, грамотно и по существу излагает его, не допуская существенных неточностей в ответе на вопрос.
75-84		C	
70-74		D	
65-69	3 – <i>«удовлетворительно»</i>	E	Оценка «удовлетворительно» выставляется студенту, если он имеет знания только основного материала, но не усвоил его деталей, допускает неточности, недостаточно правильные формулировки, нарушения логической последовательности в изложении программного материала.
60-64			
Ниже 60	2 – <i>«неудовлетворительно»</i>	F	Оценка «неудовлетворительно» выставляется студенту, который не знает значительной части программного материала, допускает существенные ошибки. Как правило, оценка «неудовлетворительно» ставится студентам, которые не могут продолжить обучение без дополнительных занятий по соответствующей дисциплине.

Программа ФОС составлена в соответствии с требованиями ОС ВО НИЯУ МИФИ к обязательному минимуму содержания основной образовательной программы по направлению подготовки 09.03.01 Информатика и вычислительная техника.

Программу составил: ст. преподаватель кафедры ОТДиЭ

В.В. Писецкий

Рецензент: